

# (19) 대한민국특허청 (KR) (12) 공개특허공보 (A)

(51) . Int. Cl. <sup>7</sup>  
H01L 27/10

(11) 공개번호 특2001 - 0065696  
(43) 공개일자 2001년07월11일

(21) 출원번호 10 - 1999 - 0065616  
(22) 출원일자 1999년12월30일

(71) 출원인 주식회사 하이닉스반도체  
박종섭  
경기 이천시 부발읍 아미리 산136 - 1

(72) 발명자 문원  
서울특별시노원구상계8동624주공아파트1601동1205호  
조남홍  
경기도성남시분당구구미동63번지까치마을405 - 1201

(74) 대리인 박대진  
정은섭

심사청구 : 없음

## (54) 접촉저항 측정 패턴을 갖는 반도체 메모리장치의 제조방법

### 요약

셀의 접촉저항을 용이하게 측정할 수 있는 접촉저항 측정 패턴을 갖는 반도체 메모리장치의 제조방법에 관한 것으로서, 셀 영역과, 접촉저항을 측정하기 위한 패턴이 형성되는 패턴 영역을 갖는 반도체기판의 셀 영역에 워드라인을 형성하는 단계와, 셀 영역에는 소오스/드레인, 패턴 영역에는 제1 불순물영역을 형성하는 단계와, 패턴 영역에 제2 불순물영역을 형성하는 단계와, 워드라인의 측벽에 스페이서를 형성하고, 패턴 영역의 제1 불순물영역을 노출시키는 단계와, 셀 영역의 소오스/드레인과 접속된 플러그와, 패턴 영역의 제1 불순물영역과 접속된 제1 패턴을 형성하는 단계와, 결과물을 덮는 제1 층간절연막을 형성하는 단계와, 제1 층간절연막을 관통하여 셀 영역의 플러그와 접속된 비트라인과, 패턴 영역의 제1 패턴과 접속된 제2 패턴을 형성하는 단계와, 결과물을 덮는 제2 층간절연막을 형성하는 단계와, 셀 영역의 제2 층간절연막 위에, 플러그와 접속된 스토리지 노드를 형성하는 단계, 및 결과물을 덮는 제3 층간절연막을 형성한 다음, 셀 영역의 제3 층간절연막 위에는 배선층을, 패턴 영역의 제3 층간절연막 위에는 제2 불순물영역과 접속된 제1 전극과, 제2 패턴과 접속된 제2 전극을 각각 형성하는 단계를 포함하여 이루어진다.

대표도  
도 1f

명세서

도면의 간단한 설명

도 1a 내지 도 1f는 본 발명에 의한 접촉저항 측정패턴을 갖는 반도체 메모리장치의 제조방법을 설명하기 위하여 공정 순서에 따라 도시한 단면도들이다.

도 2는 본 발명의 다른 실시예에 의한 방법을 도시한 단면도이다.

- 도면의 주요 부분에 대한 부호의 설명 -

2 : 반도체기판 4 : 필드산화막

6 : 게이트전극 8 : 저농도 소오스/드레인

8a : 제1 불순물영역 10b, 14b : 산화막

12 : 제2 불순물영역 15 : 스페이서

16a : 플러그(plug) 16b : 저항측정용 제1 패턴

18, 22, 26 : 층간절연막 20a : 비트라인

20b, 24b : 저항측정용 제2 패턴

24, 24a : 스토리지 전극 28a : 배선층

28b, 28c, 28d : 저항측정용 전극

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 메모리장치의 제조방법에 관한 것으로서, 보다 상세하게는 셀 활성영역과 콘택들을 통과하는 경로에서의 접촉저항을 용이하게 측정할 수 있는 접촉저항 측정 패턴을 갖는 반도체 메모리장치의 제조방법에 관한 것이다.

일반적으로, 디램(DRAM)에서 셀이 차지하는 비율은 전체의 50% 이상이 된다. 따라서, 다른 영역보다 셀의 면적을 줄이기 위해 많은 공정이 개발되었는데, 그 중 하나가 플러그(plug)를 이용한 자기정합 콘택(Self - Align Contact; SAC) 공정이다. 이 플러그 SAC 공정은 비트라인 콘택과 캐패시터의 스토리지 노드를 형성하기 전에 하부층에 SAC 공정을 이용하여 플러그를 형성하고, 비트라인 콘택과 스토리지 노드 콘택을 이 플러그 위에 형성되도록 함으로써, 셀 면적의 축소에 따른 콘택홀의 고 어스펙트비(high aspect ratio)화에 따른 문제점을 개선하기 위한 것이다.

이 플러그 SAC 공정은 셀의 플러그가 비트라인 콘택과 스토리지 노드 콘택에 독립적으로 연결되기 때문에, 패턴을 형성하여 플러그와 각 콘택간의 저항은 쉽게 측정할 수 있지만, 활성영역을 포함한 저항은 측정하기 힘들다. 그 이유는, 플러그가 형성되는 활성영역은 항상 플러그용 폴리실리콘막으로 덮여 있거나, 플러그용 폴리실리콘막을 식각할 때 활성

영역이 손상되는 것을 방지하기 위하여 산화막이 형성되어 있기 때문이다. 따라서, 실제 셀과 같은 상황의 셀 활성화영역의 접촉저항을 측정하기 힘들고, 플러그와 각 콘택간의 저항만 측정되게 된다. 따라서, 실제적인 셀 활성화영역의 저항은 측정하기 어려우므로 비트라인 콘택 또는 스토리지 노드 콘택을 통한 활성화영역의 접촉저항을 측정할 수 있는 패턴을 형성하여 메인 칩(main chip)의 전기적 통로와 같은 저항을 특정해야 할 필요가 있다.

#### 발명이 이루고자 하는 기술적 과제

본 발명의 목적은 상기와 같은 종래 기술의 문제점을 해결하기 위해 창작된 것으로서, 본 발명의 목적은 셀의 활성화영역과 플러그를 통한 전기적 통로의 저항을 측정함으로써 메인 칩과 같은 상황의 셀 활성화영역과 플러그의 접촉저항을 용이하게 측정할 수 있는 접촉저항 측정패턴을 갖는 반도체 메모리장치의 제조방법을 제공하는 것이다.

#### 발명의 구성 및 작용

상기 목적을 달성하기 위하여 본 발명에 의한 반도체 메모리장치의 제조방법은, 셀 영역과, 접촉저항을 측정하기 위한 패턴이 형성되는 패턴 영역을 갖는 반도체기판의 셀 영역에 워드라인을 형성하는 단계와, 셀 영역에는 소오스/드레인, 패턴 영역에는 제1 불순물영역을 형성하는 단계와, 패턴 영역에 제2 불순물영역을 형성하는 단계와, 워드라인의 측벽에 스페이서를 형성하고, 패턴 영역의 제1 불순물영역을 노출시키는 단계와, 셀 영역의 소오스/드레인과 접속된 플러그와, 패턴 영역의 제1 불순물영역과 접속된 제1 패턴을 형성하는 단계와, 결과물을 덮는 제1 층간절연막을 형성하는 단계와, 제1 층간절연막을 관통하여 셀 영역의 플러그와 접속된 비트라인과, 패턴 영역의 제1 패턴과 접속된 제2 패턴을 형성하는 단계와, 결과물을 덮는 제2 층간절연막을 형성하는 단계와, 셀 영역의 제2 층간절연막 위에, 플러그와 접속된 스토리지 노드를 형성하는 단계, 및 결과물을 덮는 제3 층간절연막을 형성한 다음, 셀 영역의 제3 층간절연막 위에는 배선층을, 패턴 영역의 제3 층간절연막 위에는 제2 불순물영역과 접속된 제1 전극과, 제2 패턴과 접속된 제2 전극을 각각 형성하는 단계를 포함한 것을 특징으로 한다.

본 발명의 제조방법에 있어서, 상기 패턴 영역의 제2 불순물영역은 상기 제1 불순물영역과 접하도록 형성하고, 상기 제2 불순물영역을 형성하는 단계에서 셀 영역의 전면과, 패턴 영역의 제1 불순물영역을 덮는 제1 절연막을 형성하고, 상기 패턴 영역의 노출된 반도체기판에 제2 불순물영역을 형성한 다음, 상기 셀 영역 및 패턴 영역의 전면에서 제2 절연막을 형성한다.

그리고, 상기 플러그 및 제1 패턴을 형성하는 단계 전에, 상기 셀 영역 및 패턴 영역의 노출된 반도체기판에 불순물이온을 주입하는 단계를 포함할 수도 있다.

본 발명에 의한 반도체 메모리장치의 제조방법은 또한, 셀 영역과, 접촉저항을 측정하기 위한 패턴이 형성되는 패턴 영역을 갖는 반도체기판의 셀 영역에 워드라인을 형성하는 단계와, 셀 영역에는 소오스/드레인을, 패턴 영역에는 제1 불순물영역을 형성하는 단계와, 패턴 영역에 제2 불순물영역을 형성하는 단계와, 워드라인의 측벽에 스페이서를 형성하고, 패턴 영역의 제1 불순물영역을 노출시키는 단계와, 셀 영역의 소오스/드레인과 접속된 플러그와, 패턴 영역의 제1 불순물영역과 접속된 제1 패턴을 형성하는 단계와, 결과물을 덮는 제1 층간절연막을 형성하는 단계와, 제1 층간절연막을 관통하여 셀 영역의 플러그와 접속된 비트라인을 형성하는 단계와, 결과물을 덮는 제2 층간절연막을 형성하는 단계와, 셀 영역에는 플러그와 접속된 스토리지 노드를, 패턴 영역에는 제2 및 제1 층간절연막을 관통하여 제1 패턴과 접속된 제2 패턴을 형성하는 단계, 및 결과물을 덮는 제3 층간절연막을 형성한 다음, 셀 영역의 제3 층간절연막 위에는 배선층을, 패턴 영역의 제3 층간절연막 위에는 제2 불순물영역과 접속된 제1 전극과, 제2 패턴과 접속된 제2 전극을 각각 형성하는 단계를 포함한 것을 특징으로 한다.

본 발명의 제조방법에 있어서, 상기 패턴 영역의 제2 불순물영역은 상기 제1 불순물영역과 접하도록 형성하고, 상기 제2 불순물영역을 형성하는 단계에서 셀 영역의 전면과, 패턴 영역의 제1 불순물영역을 덮는 제1 절연막을 형성하고, 상기 패턴 영역의 노출된 반도체기판에 제2 불순물영역을 형성한 다음, 상기 셀 영역 및 패턴 영역의 전면에 제2 절연막을 형성한다.

그리고, 상기 플러그 및 제1 패턴을 형성하는 단계 전에, 상기 셀 영역 및 패턴 영역의 노출된 반도체기판에 불순물이온을 주입하는 단계를 포함할 수도 있다.

이하, 본 발명의 바람직한 실시예를 첨부된 도면을 참조하여 설명한다. 또한 본 실시예는 본 발명의 권리범위를 한정하는 것은 아니고, 단지 예시로 제시된 것이다.

도 1a 내지 도 1f는 본 발명에 의한 접촉저항 측정패턴을 갖는 반도체 메모리장치의 제조방법을 설명하기 위하여 공정 순서에 따라 도시한 단면도들로서, 참조부호 "A"는 셀 영역을 나타내고, "B"는 접촉저항을 측정하기 위한 패턴이 형성될 영역(이하, "패턴 영역"으로 약칭함)을 나타낸다.

먼저, 도 1a를 참조하면, 필드산화막(4)에 의해 활성영역과 비활성영역으로 한정된 제1 도전형의 반도체기판(2)의 셀 영역에, 절연막 및 도전막을 차례로 적층, 패터닝하여 게이트절연막(도시되지 않음)을 개재한 게이트전극(6) 및 워드 라인을 형성한다. 사진공정을 이용하여 패턴 영역의 일부를 노출시키는 마스크를 형성한다. 다음에, 상기 게이트전극(6)과 마스크(도시되지 않음)를 이용하여 상기 셀 영역 및 패턴 영역의 반도체기판(2)에 제2 도전형의 불순물을 이온 주입하여 셀 영역에는 저농도의 소오스/드레인(8a)을, 패턴 영역에는 불순물영역(8b)을 각각 형성한다.

다음에, 결과물의 전면에 예를 들어 산화막(10a, 10b)을 증착한 다음 사진식각 공정으로 패턴 영역의 산화막을 패터닝하여, 셀 영역의 전면과 패턴 영역의 불순물영역(8b) 위에 산화막(10a, 10b)이 잔류하도록 한다. 다음, 상기 산화막(10a, 10b)을 이온주입 마스크로 사용하여 상기 반도체기판에 제2 도전형의 불순물을 다시 주입하여 상기 패턴 영역의 반도체기판에 제2 불순물영역(12)을 형성한다. 상기 제2 불순물영역(12)은 이미 형성된 제1 불순물영역(8b)과 서로 연결된다.

도 1b를 참조하면, 결과물의 전면에 예를 들어 산화막(14a, 14b)을 증착한 다음, 사진공정을 이용하여 상기 산화막 위에 패턴 영역의 일부, 제1 불순물영역(8b)이 형성된 부분을 노출시키는 포토레지스트 패턴(16)을 형성한다.

도 1c를 참조하면, 상기 포토레지스트 패턴(도 1b의 16)을 마스크로 사용하여 상기 제2 스페이서용 산화막 및 제1 스페이서용 산화막에 대해 이방성식각을 실시하면, 셀 영역에 형성된 게이트전극(6)의 측벽에는 제1 및 제2 산화막으로 이루어진 스페이서(15)가 형성되고, 패턴 영역에는 제2 불순물영역(12)의 상부에는 제2 산화막(14b)이 잔류하고, 제1 불순물영역(8b)의 표면은 노출되며, 그 외의 영역에는 제1 산화막(10b)과 제2 산화막(14b)이 잔류하게 된다.

이어서, 반도체기판(2)의 노출된 영역에 제2 도전형의 불순물을 고농도로 이온주입하면, 셀 영역에는 고농도의 소오스/드레인(16)이 형성되고, 패턴 영역에는 제1 불순물영역(8b)에는 다시 동일한 도전형의 불순물이온이 주입되므로 그 깊이가 더욱 깊어진다.

도 1d를 참조하면, 결과물의 전면에 예를 들어 불순물이 도핑된 폴리실리콘막을 증착한 다음, 통상의 사진식각 공정으로 상기 폴리실리콘막을 패터닝하여 셀 영역에는 소오스/드레인(16)과 접속된 플러그(16a)를 형성하고, 패턴 영역에는 제1 불순물영역과 접속된 저항측정용 제1 패턴(16b)을 형성한다.

도 1e를 참조하면, 플러그(16a) 및 저항측정용 제1 패턴(16b)이 형성된 셀 영역 및 패턴 영역의 전면, 예를 들어 산화막을 증착하여 제1 층간절연막(18)을 형성한다. 다음에, 상기 제1 층간절연막을 이방성식각하여 셀 영역에 형성된

플러그(16a)의 일부와 패턴 영역에 형성된 저항측정용 제1 패턴(16b)을 노출시키는 콘택홀을 형성한다. 다음에, 콘택홀이 형성된 셀 영역 및 패턴 영역의 전면에 예를 들어 도핑된 폴리실리콘막을 증착한 다음 이를 패터닝하여 셀 영역에는 상기 플러그(16a)와 접속된 비트라인(20a)을 형성하고, 패턴 영역에는 상기 저항측정용 제1 패턴(16b)과 접속된 저항측정용 제2 패턴(20b)을 형성한다.

도 1f를 참조하면, 셀 영역 및 패턴 영역의 전면을 덮는 제2 층간절연막(22)을 형성한 다음, 셀 영역의 상기 제2 층간절연막을 식각하여 상기 플러그(16a)의 일부를 노출시키는 콘택홀을 형성한다. 다음, 콘택홀이 형성된 결과물의 전면에 예를 들어 도핑된 폴리실리콘막을 증착한 다음 이를 패터닝하여, 셀 영역에 상기 플러그(16a)와 접속된 스토리지 전극을 형성한다. 이 때, 상기 스토리지 전극과 스토리지 노드 콘택 형성공정을 분리하여 진행할 수도 있고, 셀 캐패시턴스를 증가시키기 위하여, 도시된 바와 같이 스토리지 전극(24)을 실린더형 또는 다른 3차원 구조로 형성할 수도 있다.

이어서, 셀 영역 및 패턴 영역의 전면을 덮는 제3 층간절연막(26)을 형성한 다음, 통상의 사진식각 공정을 이용하여 패턴 영역의 제1 불순물영역(8b) 및 제2 불순물영역(12)을 노출시키는 콘택홀을 형성한다. 이 결과물의 전면에 배선금속, 예를 들어 알루미늄(Al)을 증착한 다음 이를 패터닝하여 셀 영역에는 배선층(28a)을 형성하고, 패턴 영역에는 접촉저항 측정용 전극(28b, 28c)을 형성한다.

이로써, 패턴 영역에는 반도체기판에 형성된 제2 불순물영역(12)과 접속된 제1 전극(28b)과, 저항측정용 제2 패턴(20b), 제1 패턴(16b) 및 제1 불순물영역(8b)과 접속된 제2 전극(28c)이 형성된다. 따라서, 두 전극(28b, 28c) 사이의 저항을 측정하면, 실제 셀의 비트라인 콘택, 플러그, 셀 활성영역 및 소오스/드레인 영역을 지나는 전기적 통로의 접촉저항을 용이하게 측정할 수 있다.

도 2는 본 발명의 다른 실시예에 의한 방법을 도시한 단면도로서, 패턴 영역의 제2 패턴(24b)을 비트라인 콘택 형성단계에서 형성하지 않고, 스토리지 노드(24a) 형성단계에서 형성한 예를 나타낸 것이다. 이렇게 하면, 실제 셀의 스토리지 노드 콘택, 플러그, 셀 활성영역 및 소오스/드레인 영역을 지나는 경로의 저항을 측정할 수 있다.

#### 발명의 효과

상기한 바와 같이 본 발명은, 실제 셀과 같은 상황의 패턴을 형성함으로써 활성영역과 플러그, 비트라인 콘택 또는 활성영역과 플러그, 스토리지 노드 콘택을 연결하는 경로의 접촉저항을 용이하게 측정할 수 있다. 이 정보를 이용하면 실제 셀의 불량에 대해 피드백(feedback)할 수 있기 때문에, 셀 활성영역과 플러그에 관련된 공정의 피드백이 가능하여 생산성을 향상시킬 수 있는 이점이 있다.

#### (57) 청구의 범위

##### 청구항 1.

셀 영역과, 접촉저항을 측정하기 위한 패턴이 형성되는 패턴 영역을 갖는 반도체기판의 상기 셀 영역에 워드라인을 형성하는 단계;

상기 셀 영역에는 소오스/드레인을, 상기 패턴 영역에는 제1 불순물영역을 형성하는 단계;

상기 패턴 영역에 제2 불순물영역을 형성하는 단계;

상기 워드라인의 측벽에 스페이서를 형성하고, 상기 패턴 영역의 제1 불순물영역을 노출시키는 단계;

상기 셀 영역의 소오스/드레인과 접속된 플러그와, 상기 패턴 영역의 제1 불순물영역과 접속된 제1 패턴을 형성하는 단계;

결과물을 덮는 제1 층간절연막을 형성하는 단계;

상기 제1 층간절연막을 관통하여 상기 셀 영역의 플러그와 접속된 비트라인과, 패턴 영역의 상기 제1 패턴과 접속된 제2 패턴을 형성하는 단계;

결과물을 덮는 제2 층간절연막을 형성하는 단계;

상기 셀 영역의 제2 층간절연막 위에, 상기 플러그와 접속된 스토리지 노드를 형성하는 단계; 및

결과물을 덮는 제3 층간절연막을 형성한 다음, 셀 영역의 제3 층간절연막 위에는 배선층을, 패턴 영역의 제3 층간절연막 위에는 상기 제2 불순물영역과 접속된 제1 전극과, 상기 제2 패턴과 접속된 제2 전극을 각각 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 메모리장치의 제조방법.

## 청구항 2.

제 1항에 있어서, 상기 패턴 영역의 제2 불순물영역은 상기 제1 불순물영역과 접하도록 형성하는 것을 특징으로 하는 반도체 메모리장치의 제조방법.

## 청구항 3.

제 1항에 있어서, 상기 제2 불순물영역을 형성하는 단계는,

셀 영역의 전면과, 패턴 영역의 제1 불순물영역을 덮는 제1 절연막을 형성하는 단계와,

상기 패턴 영역의 노출된 반도체기판에 제2 불순물영역을 형성하는 단계, 및

상기 셀 영역 및 패턴 영역의 전면에 제2 절연막을 형성하는 단계로 이루어지는 것을 특징으로 하는 반도체 메모리장치의 제조방법.

## 청구항 4.

제 1항에 있어서, 상기 플러그 및 제1 패턴을 형성하는 단계 전에,

상기 셀 영역 및 패턴 영역의 노출된 반도체기판에 불순물이온을 주입하는 단계를 포함하는 것을 특징으로 하는 반도체 메모리장치의 제조방법.

## 청구항 5.

셀 영역과, 접촉저항을 측정하기 위한 패턴이 형성되는 패턴 영역을 갖는 반도체기판의 상기 셀 영역에 워드라인을 형성하는 단계;

상기 셀 영역에는 소오스/드레인을, 상기 패턴 영역에는 제1 불순물영역을 형성하는 단계;

상기 패턴 영역에 제2 불순물영역을 형성하는 단계;

상기 워드라인의 측벽에 스페이서를 형성하고, 상기 패턴 영역의 제1 불순물영역을 노출시키는 단계;

상기 셀 영역의 소오스/드레인 및 접속된 플러그와, 상기 패턴 영역의 제1 불순물영역과 접속된 제1 패턴을 형성하는 단계;

결과물을 덮는 제1 층간절연막을 형성하는 단계;

상기 제1 층간절연막을 관통하여 상기 셀 영역의 플러그와 접속된 비트라인을 형성하는 단계;

결과물을 덮는 제2 층간절연막을 형성하는 단계;

상기 셀 영역에는 상기 플러그와 접속된 스토리지 노드를, 상기 패턴 영역에는 상기 제2 및 제1 층간절연막을 관통하여 상기 제1 패턴과 접속된 제2 패턴을 형성하는 단계; 및

결과물을 덮는 제3 층간절연막을 형성한 다음, 셀 영역의 제3 층간절연막 위에는 배선층을, 패턴 영역의 제3 층간절연막 위에는 상기 제2 불순물영역과 접속된 제1 전극과, 상기 제2 패턴과 접속된 제2 전극을 각각 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 메모리장치의 제조방법.

청구항 6.

제 5항에 있어서, 상기 패턴 영역의 제2 불순물영역은, 상기 제1 불순물영역과 접하도록 형성하는 것을 특징으로 하는 반도체 메모리장치의 제조방법.

청구항 7.

제 5항에 있어서, 상기 제2 불순물영역을 형성하는 단계는,

상기 셀 영역의 전면과, 패턴 영역의 제1 불순물영역을 덮는 제1 절연막을 형성하는 단계와,

상기 패턴 영역의 노출된 반도체기판에 제2 불순물영역을 형성하는 단계, 및

상기 셀 영역 및 패턴 영역의 전면에 제2 절연막을 형성하는 단계로 이루어지는 것을 특징으로 하는 반도체 메모리장치의 제조방법.

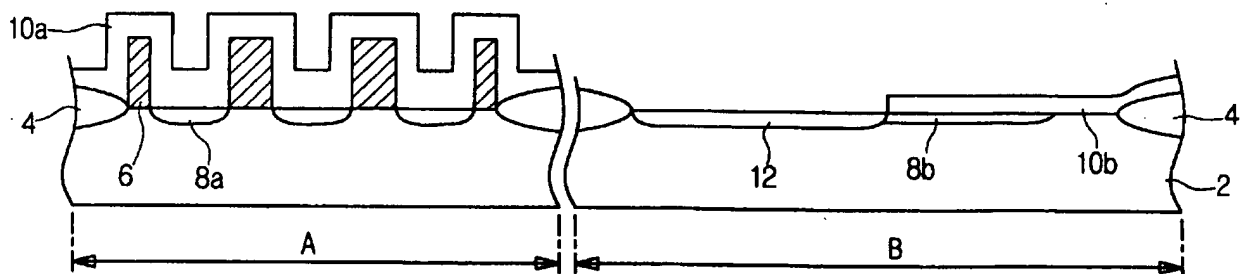
청구항 8.

제 5항에 있어서, 상기 플러그 및 제1 패턴을 형성하는 단계 전에,

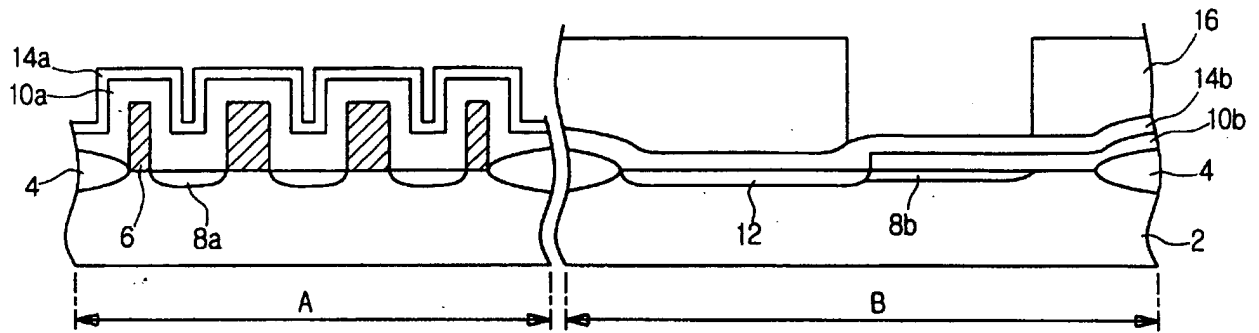
상기 셀 영역 및 패턴 영역의 노출된 반도체기판에 불순물이온을 주입하는 단계를 포함하는 것을 특징으로 하는 반도체 메모리장치의 제조방법.

도면

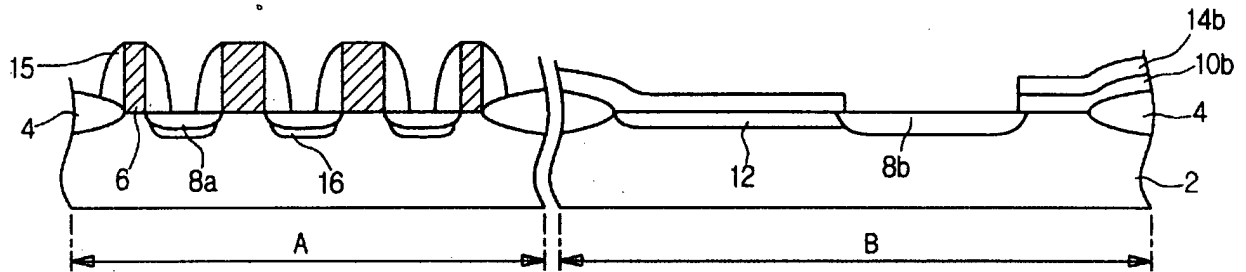
도면 1a



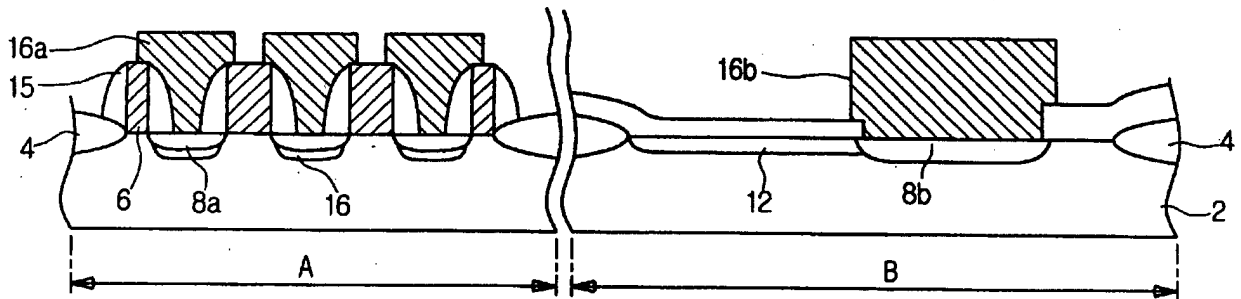
도면 1b



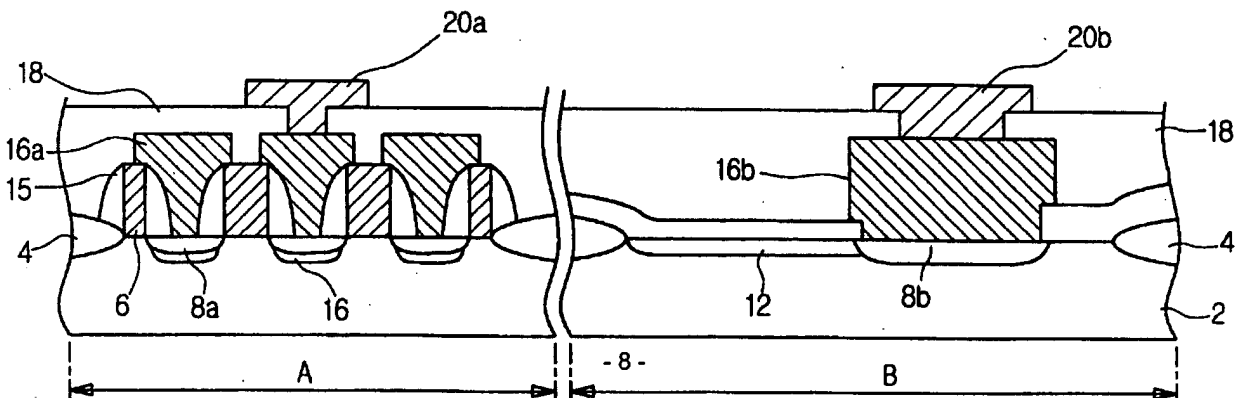
도면 1c



도면 1d

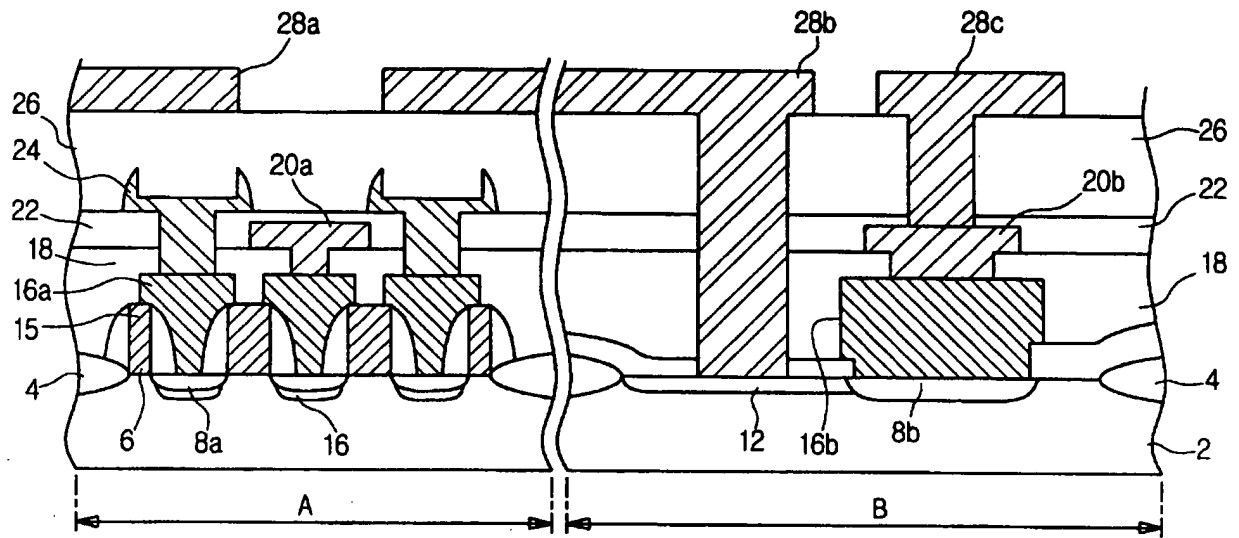


도면 1e





도면 1f



도면 2

